

Family list1 application(s) for: **JP6216727****1 DELAY TIME VARIABLE LOGIC CIRCUIT****Inventor:** TOSAKA NORIO**Applicant:** MITSUBISHI ELECTRIC CORP**EC:****IPC:** H03K5/13; H03K19/0952; H03K5/13; (+3)**Publication** **JP6216727 (A)** - 1994-08-05**Priority Date:** 1993-01-20**info:**

Data supplied from the **espacenet** database — Worldwide

DELAY TIME VARIABLE LOGIC CIRCUIT

Publication number: JP6216727 (A)

Publication date: 1994-08-05

Inventor(s): TOSAKA NORIO +

Applicant(s): MITSUBISHI ELECTRIC CORP +

Classification:

- international: H03K5/13; H03K19/0952; H03K5/13; H03K19/0952; (IPC1-7): H03K5/13; H03K19/0952

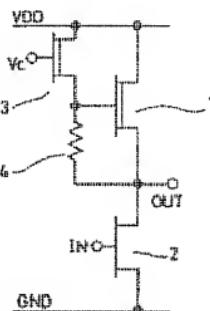
- European:

Application number: JP19930007169 19930120

Priority number(s): JP19930007169 19930120

Abstract of JP 6216727 (A)

PURPOSE: To obtain the delay time variable logic circuit which can vary a delay time, especially the same which can be applied to an integrated circuit device using a DCFL circuit constituted of a GaAsMOSFET especially. CONSTITUTION: This logic circuit is constituted of a depression type FET 1 operated as a load transistor, an enhancement type FET 2 operated as a switching transistor, a first resistance 3 connected between a drain and a gate of the load FET 1, and a second resistance 4 connected between a gate and a source of the load FET 1. At least one of a first and a second resistances 3, 4 is a variable resistance. In such a way, the logic circuit itself can be allowed to have a function for varying a delay time, the circuit scale becomes small, and it becomes advantageous in respect of an integration degree and power consumption.



Data supplied from the **espacenet** database — Worldwide

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-216727

(43)公開日 平成6年(1994)8月5日

(51)Int.Cl. [*] H 03 K 5/13 19/0952	識別記号 4239-5 J	序内整理番号 F I	技術表示箇所
	8321-5 J	H 03 K 19/ 094	U

審査請求 未請求 請求項の数10 O L (全 7 頁)

(21)出願番号 (22)出願日	特願平5-7169 平成5年(1993)1月20日	(71)出願人 三菱電機株式会社 東京都千代田区丸の内二丁目2番3号 (72)発明者 東坂 寛雄 兵庫県伊丹市瑞原4丁目1番地 三菱電機 株式会社光・マイクロ波デバイス研究所内 (74)代理人 弁理士 早瀬 慎一
---------------------	------------------------------	--

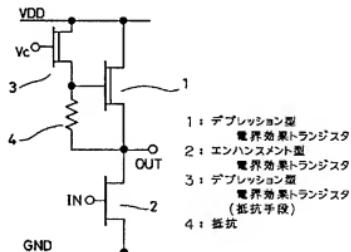
(54)【発明の名称】 遅延時間可変論理回路

(57)【要約】

【目的】 遅延時間を可変できる遅延時間可変論理回路であって、特にG a A s M E S F E Tで構成するD C F I回路を用いた集積回路装置に適用できるものを得る。

【構成】 負荷トランジスタとして動作するデブリッショング型F E T 1と、スイッチングトランジスタとして動作するエンハンスマント型F E T 2と、負荷F E T 1のドレインとゲート間に接続された第1の抵抗3と、負荷F E T 1のゲートとソース間に接続された第2の抵抗4とで構成され、第1、第2の抵抗3、4の少なくとも1つを可変抵抗とした。

【効果】 論理回路自体に遅延時間を変化させる機能を持たせることができ、回路規模が小さくなり、集積度、消費電力の点で有利になる。



【特許請求の範囲】

【請求項1】 ドレイン電極を第1の電源に接続し、ソース電極を出力端子とする第1のデプレッション型電界効果トランジスタと、

前記第1のトランジスタのソース電極にドレイン電極を接続し、ソース電極を第2の電源に接続し、ゲート電極を入力端子とする第2のエンハンスマント型電界効果トランジスタと、

前記第1のトランジスタのゲート電極と第1の電源との間に接続した第1の抵抗手段と、

前記第1のトランジスタのゲート電極とソース電極との間に接続した第2の抵抗手段とを備え、

前記第1、第2の抵抗手段のうちの少なくとも1つは、その抵抗値を可変できるものであることを特徴とする遅延時間可変論理回路。

【請求項2】 ドレイン電極を第1の電源に接続し、ゲート電極とソース電極を接続した第1のデプレッション型電界効果トランジスタと、

ソース電極を第2の電源に接続し、ゲート電極を入力端子とする第2のエンハンスマント型電界効果トランジスタと、

前記第1のトランジスタのソース電極と前記第2のトランジスタのドレイン電極との間に接続され、その抵抗値を可変できる抵抗手段とを備えたことを特徴とする遅延時間可変論理回路。

【請求項3】 ドレイン電極を第1の電源に接続し、ゲート電極とソース電極を接続し、ソース電極を出力端子とする第1のデプレッション型電界効果トランジスタと、

前記第1のトランジスタのソース電極にドレイン電極を接続し、ゲート電極を入力端子とする第2のエンハンスマント型電界効果トランジスタと、
前記第2のトランジスタのソース電極と第2の電源との間に接続され、その抵抗値を可変できる抵抗手段とを備えたことを特徴とする遅延時間可変論理回路。

【請求項4】 ドレイン電極を第1の電源に接続し、ゲート電極とソース電極を接続し、ソース電極を出力端子とする第1のデプレッション型電界効果トランジスタと、

前記第1のトランジスタのソース電極にドレイン電極を接続し、ソース電極を第2の電源に接続した第2のエンハンスマント型電界効果トランジスタと、

前記第2のトランジスタのゲート電極と入力端子との間に接続され、その抵抗値を可変できる抵抗手段とを備えたことを特徴とする遅延時間可変論理回路。

【請求項5】 ドレイン電極を第1の電源に接続し、ゲート電極とソース電極を接続し、ソース電極を出力端子とする第1のデプレッション型電界効果トランジスタと、

前記第1のトランジスタのソース電極にドレイン電極を

接続し、ソース電極を第2の電源に接続した第2のエンハンスマント型電界効果トランジスタと、
前記第2のトランジスタのゲート電極と入力端子との間に接続され、その容量値を可変できる容量手段とを備えたことを特徴とする遅延時間可変論理回路。

【請求項6】 ドレイン電極を第1の電源に接続し、ゲート電極とソース電極を接続した第1のデプレッション型電界効果トランジスタと、

前記第1のトランジスタのソース電極にドレイン電極を接続し、ソース電極を第2の電源に接続した第2のエンハンスマント型電界効果トランジスタと、

前記第1のトランジスタのソース電極と出力端子との間に接続され、その抵抗値を可変できる抵抗手段とを備えたことを特徴とする遅延時間可変論理回路。

【請求項7】 ドレイン電極を第1の電源に接続し、ゲート電極とソース電極を接続した第1のデプレッション型電界効果トランジスタと、

前記第1のトランジスタのソース電極にドレイン電極を接続し、ソース電極を第2の電源に接続した第2のエンハンスマント型電界効果トランジスタと、

前記第1のトランジスタのソース電極と出力端子との間に接続され、その容量値を可変できる容量手段とを備えたことを特徴とする遅延時間可変論理回路。

【請求項8】 請求項1、2、3、4、または6に記載の抵抗値を可変できる抵抗手段は、デプレッション型電界効果トランジスタで構成され、ゲート端子に与える電圧でその抵抗値を制御できるものであることを特徴とする遅延時間可変論理回路。

【請求項9】 請求項5、または7に記載の容量値を可変できる容量手段は、容量とデプレッション型電界効果トランジスタを直列接続し、該トランジスタのゲート端子に制御信号を与えるようにしたものを複数個並列接続し、前記ゲート端子に与える制御信号の組み合わせを変えることにより、全体の容量値を変えるようにしたものであることを特徴とする遅延時間可変論理回路。

【請求項10】 請求項5、または7に記載の容量値を可変できる容量手段は、ジャンクション接合を有し、該接合間にかかる電圧により接合容量値が変化することを利用した容量を用いて構成したものであることを特徴とする遅延時間可変論理回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は遅延時間可変論理回路、即ち、遅延時間可変できるよう構成した基本論理回路に關し、特にG a A s M E S F E Tで構成するD C F L回路を用いた集積回路装置に適用するものに関するものである。

【0002】

【従来の技術】 近年、超高速信号伝送、大容量情報処理の分野において、化合物半導体（例えばG a A s）の電

界効果型トランジスタ（例えばMESFET）を用いた大規模集積回路装置（以後、LSIと略す）の開発が活発化している。特に超高速信号伝送の分野においてはその適用の拡大が図られているが、伝送速度が2.5~10Gb/sに達するような領域では高速データと高速クロックとの間のタイミングを正確に合わせることが必要である。そしてこれは、一般には集積回路装置にデータ、クロックを入力する際にケーブルの長さを調整することにより合わせこんでいたが、この方法では人手がかかり効率も悪いものであった。そこで、集積回路装置内に遅延時間を可変できる回路を設け、データ、クロック間のタイミングを合わせることが考えられている。

【0003】図9に従来の遅延時間可変回路を示す。この遅延時間可変回路は、trigger（起動信号）入力101を持つRamp信号（のこぎり波）発生回路100と、基準信号入力201と前記Ramp信号発生回路100からの信号102とを入力するコンバレータ（電圧比較）回路200とからなる。202はコンバレータ200の出力である。

【0004】次に図9の従来例の動作を説明する。Ramp信号発生回路100へtrigger信号101が入力されると、Ramp信号102の発生が開始され、コンバレータ200に与えられる。予め基準信号入力としてコンバレータ200に与えられている比較電圧201よりもRamp信号102電圧が低い場合はコンバレータ出力202は変化しないが、Ramp信号102電圧が比較電圧201を上回った瞬間、コンバレータ出力202は反転動作する。従って、比較電圧201の設定値によりtrigger信号入力101からコンバレータ出力202が反転するまでの遅延時間を制御することができ、比較電圧201を適当に選ぶことで遅延時間を任意に設定することができる。

【0005】

【発明が解決しようとする課題】従来の遅延時間可変回路は以上のように構成されているが、これには以下に述べる問題点があった。即ち、その構成要素にRamp信号発生回路100とコンバレータ回路200の2つを必要とするために回路規模が大きくなり、集積回路にこれを多数搭載する場合に、集積度、消費電力の点で不利になるという欠点があった。

【0006】この発明は上記のような問題点を解消するためになされたもので、少ない素子数で構成することができ、高集積度及び低消費電力を達成することのできる遅延時間可変回路を得ることを目的とする。

【0007】

【課題を解決するための手段】この第1の発明に係る遅延時間可変論理回路は、負荷トランジスタとして動作するデブレッショントランジスタと、スイッチングトランジスタとして動作するエンハンスマント型電界効果トランジスタと、負荷トランジスタのドレインと出力端子との間に直列接続された少なくとも1つの可変抵抗とで構成したものである。

【0008】この第2の発明に係る遅延時間可変論理回路は、負荷トランジスタとして動作するデブレッショントランジスタと、スイッチングトランジスタとして動作するエンハンスマント型電界効果トランジスタと、負荷トランジスタとスイッチングトランジスタの間に直列接続された少なくとも1つの可変抵抗とで構成したものである。

【0009】この第3の発明に係る遅延時間可変論理回路は、負荷トランジスタとして動作するデブレッショントランジスタと、スイッチングトランジスタとして動作するエンハンスマント型電界効果トランジスタと、スイッチングトランジスタとグランドとの間に直列接続された少なくとも1つの可変抵抗とで構成したものである。

【0010】この第4の発明に係る遅延時間可変論理回路は、負荷トランジスタとして動作するデブレッショントランジスタと、スイッチングトランジスタとして動作するエンハンスマント型電界効果トランジスタと、スイッチングトランジスタのゲートと入力端子との間に直列接続された少なくとも1つの可変抵抗とで構成したものである。

【0011】この第5の発明に係る遅延時間可変論理回路は、負荷トランジスタとして動作するデブレッショントランジスタと、スイッチングトランジスタとして動作するエンハンスマント型電界効果トランジスタと、スイッチングトランジスタのゲートと入力端子との間にグランドとの間に接続された少なくとも1つの可変容量とで構成したものである。

【0012】この第6の発明に係る遅延時間可変論理回路は、負荷トランジスタとして動作するデブレッショントランジスタと、スイッチングトランジスタとして動作するエンハンスマント型電界効果トランジスタと、負荷トランジスタのドレインと出力端子との間に直列接続された少なくとも1つの可変抵抗とで構成したものである。

【0013】この第7の発明に係る遅延時間可変論理回路は、負荷トランジスタとして動作するデブレッショントランジスタと、スイッチングトランジスタとして動作するエンハンスマント型電界効果トランジスタと、負荷トランジスタのドレインと出力端子との間にグランドとの間に接続されて少なくとも1つの可変容量とで構成したものである。

【0014】

【作用】この第1の発明に係る遅延時間可変論理回路は、第1、第2の抵抗のいずれかの抵抗値を変えることにより負荷トランジスタのゲート-ソース間にかかる電

圧を変化させ、負荷トランジスタの電流供給能力を制御し、当該論理回路の遅延時間を変化させることができる。

【0015】この第2の発明に係る遅延時間可変論理回路は、負荷トランジスタとスイッチングトランジスタとの間に直列接続された抵抗の値を制御し、当該論理回路の遅延時間を変化させることができる。

【0016】この第3の発明に係る遅延時間可変論理回路は、スイッチングトランジスタとグランドとの間に直列接続された抵抗の値を制御し、当該論理回路の遅延時間を変化させることができる。

【0017】この第4の発明に係る遅延時間可変論理回路は、スイッチングトランジスタのゲートと入力端子との間に直列接続された抵抗の値を制御し、当該論理回路の遅延時間を変化させることができる。

【0018】この第5の発明に係る遅延時間可変論理回路は、スイッチングトランジスタのゲートと入力端子との間に接続された容量の値を制御し、当該論理回路の遅延時間を変化させることができる。

【0019】この第6の発明に係る遅延時間可変論理回路は、負荷トランジスタのドレインと出力端子との間に直列接続された抵抗の値を制御し、当該論理回路の遅延時間を変化させることができる。

【0020】この第7の発明に係る遅延時間可変論理回路は、負荷トランジスタのドレインと出力端子との間に接続された容量の値を制御し、当該論理回路の遅延時間を変化させることができる。

【0021】

【実施例】実施例1、以下、この発明の第1の発明の一実施例を図について説明する。図1に示す実施例1の遅延時間可変論理回路において、1はドレイン電極を電源に接続し、ソース電極を出力端子(OUT)とした負荷トランジスタとして動作するデブレッシュョン型電界効果トランジスタ、2はドレイン電極をトランジスタ1のソース電極に接続し、ソース電極をグランドに接続し、ゲート電極を入力端子(1N)に接続したスイッチングトランジスタとして動作するエンハンスマント型電界効果トランジスタ、3はドレイン電極を電源に接続し、ソース電極をトランジスタ1のゲート電極に接続し、制御入力Vcをゲート電極に接続した可変抵抗として動作するデブレッシュョン型電界効果トランジスタ、4はトランジスタ1のゲート電極とソース電極との間に接続された抵抗であり、これら1、2、3、4により、本遅延時間可変論理回路は構成される。

【0022】次に本実施例1の動作について説明する。入力端子(1N)にHIGHレベルの信号が印加されるとトランジスタ2が導通状態になり、出力端子(OUT)はLOWレベルになる。逆に、入力端子にLOWレベルの信号が印加されるとトランジスタ2が非導通状態になり、出力端子はHIGHレベルになる。このとき、

出力端子に付加されている寄生容量(図示せず)の充放電時間はトランジスタ1を流れる電流によって影響を受けるので、論理回路の遅延時間はトランジスタ1の電流を制御することにより変化させることができる。通常、トランジスタ1のゲート電極とソース電極は接続されているので、トランジスタ1のゲート・ソース間電圧(VGS)は0Vで固定であるが(このような回路構成をDCFLという)、本実施例ではトランジスタ3と抵抗4で構成されるバイアス回路により、トランジスタ1のVGSを制御することにより、トランジスタ1の電流を増減し、遅延時間を変化させている。

【0023】以上のように、本実施例1によれば、トランジスタ3のゲート電極に与えられる制御入力の電圧を変えることにより、負荷トランジスタ1の電流を変化させ、論理回路の遅延時間を変化させることができる。このようにして、論理回路自体に遅延時間を変化させる機能を持たせることにより、従来例で見られたような、Ramp信号発生回路100、コンバレータ回路200等の比較的大規模な構成要素は必要なく、回路規模が小さくなり、集積度、消費電力の点で有利になる。

【0024】本実施例1においては、バイアス回路の構成は、トランジスタ1のゲートに対し電源側に可変抵抗(デブレッシュョン型電界効果型トランジスタ)3を、ゲート・ソース間に固定抵抗4を配した分圧構成をしているが、設計上の要請でこのバイアス回路の構成を逆の構成にしても同等の効果が得られる。また、両方の抵抗を可変抵抗とすることも可能である。さらに、可変抵抗素子としてp型のトランジスタを用いる等、他の素子を用いるようにしてもよく、上記と同等の効果が得られる。

【0025】実施例2、次に、この発明の第2の発明の一実施例を図について説明する。なお、本実施例2において実施例1の内容と重複する部分については適宜説明を省略する。図2に示す実施例2の遅延時間可変論理回路において、1はドレイン電極を電源に接続し、ゲート電極とソース電極を出力端子(OUT)とした負荷トランジスタとして動作するデブレッシュョン型電界効果トランジスタ、2はソース電極をグランドに接続し、ゲート電極を入力端子(1N)に接続したスイッチングトランジスタとして動作するエンハンスマント型電界効果トランジスタ、3はドレイン電極を出力端子に接続し、ソース電極をトランジスタ2のドレイン電極に接続し、制御入力Vcをゲート電極に接続した可変抵抗として動作するデブレッシュョン型電界効果トランジスタであり、上記1、2、3により本遅延時間可変論理回路は構成される。

【0026】次に、本実施例2の動作について説明する。トランジスタ1、2の動作は実施例1の動作と同様であり、入力端子(1N)に与えられた信号の反転出力が出力端子(OUT)にあらわれる。本実施例2では、トランジスタ1のゲート・ソース間は接続され、VGSは

0 V となっている点が実施例 1 とは異なっている。本実施例 2においては、トランジスタ 3 の制御入力 (V_c) に与える電圧を変えることにより、トランジスタ 2 の導通時の電流を制限することができ、論理回路の遅延時間を変化させることができる。

【0 0 2 7】以上のように、本実施例 2 によれば、実施例 1 と同様に論理回路自体に遅延時間を変化させる機能を持たせることができるので、回路規模が小さくなり、高集積度、低消費電力を達成できる効果がある。

【0 0 2 8】実施例 3、さらには、図 3 の実施例 3 に示すように、出力端子をトランジスタ 2 のドレイン電極から取ることも可能である。このときには、トランジスタ 3 は負荷トランジスタ 1 の電流を制限することにより、論理回路の遅延時間を変化させること。

【0 0 2 9】また、図 2 と図 3 に示す実施例 2 と実施例 3 を併合した形としても可能である。即ち、可変抵抗として用いるトランジスタをもう 1 つ直列に介挿し、該可変抵抗の間から出力端子を取ることにより、トランジスタ 1 とトランジスタ 2 の双方の能力をコントロールする方式とすることが可能である。

【0 0 3 0】このような本実施例 3 によれば、実施例 1、2 と同様に論理回路自体に遅延時間を変化させる機能を持たせることができるので、回路規模が小さくなり、高集積度、低消費電力を達成できる効果がある。

【0 0 3 1】実施例 4、次に、この発明の第 3 の発明の一実施例を図について説明する。図 4 に示す本実施例 4 の遅延時間可変論理回路において、1 はドレイン電極を電源に接続し、ゲート電極とソース電極を出力端子 (OUT) とした負荷トランジスタとして動作するデブレッショントラジスト、2 はドレイン電極を出力端子に接続し、ゲート電極を入力端子 (IN) に接続したスイッチトランジスタとして動作するエンハンスマント型電界効果トランジスタ、3 はソース電極をグランドに接続し、ドレイン電極をトランジスタ 2 のソース電極に接続し、制御入力 (V_c) をゲート電極に接続した可変抵抗として動作するデブレッショントラジストであり、これら 1、2、3 により本遅延時間可変論理回路は構成される。

【0 0 3 2】次に、本実施例 4 の動作について説明する。トランジスタ 1、2 の動作は実施例 1、2 の動作と同様である。本実施例 4においては、トランジスタ 3 の制御入力 (V_c) に与える電圧を変えることにより、トランジスタ 2 の導通時の電流を制限することができ、論理回路の遅延時間を変化させることができ。

【0 0 3 3】実施例 5、次に、この発明の第 4 の発明の一実施例を図について説明する。図 5 に示す実施例 5 の遅延時間可変論理回路において、1 はドレイン電極を電源に接続し、ゲート電極とソース電極を出力端子 (OUT) とした負荷トランジスタとして動作するデブレッショントラジスト、2 はドレイン電極を出力端子に接続し、ゲート電極を入力端子 (IN) に接続したスイッチトランジスタとして動作するエンハンスマント型電界効果トランジスタ、3 はドレイン電極をトランジスタ 2 のゲート電極に接続し、制御入力 ($V_{cl} \sim V_{cn}$) をゲート電極に接続したスイッチとして動作するデブレッショントラジスト、4 は一端をトランジスタ 3 のソース電極に接続し、他端をグランドに接続した容量であり、トランジスタ 3、容量 5 をひとまとめにしたもののが複数個並列接続されている。さらに、4 は一端をトランジスタ 2 のゲート電極に接続し、他端を入力端子 (IN) に接続した抵抗があり、これら 1、2、3、4、5 により本遅延時間可変論理回路は構成される。

【0 0 3 4】次に、本実施例 5 の動作について説明する。トランジスタ 1、2 の動作は前述の実施例と同様である。本実施例 5においては、トランジスタ 3 の制御入力 (V_c) に与える電圧を変えることにより、トランジスタ 2 の入力寄生容量の充放電時間を制御し、トランジスタ 2 のスイッチング動作の開始を遅らせ、論理回路の遅延時間を変化させることができ。

【0 0 3 5】実施例 6、次に、この発明の第 5 の発明の一実施例を図について説明する。図 6 に示す実施例 6 の遅延時間可変論理回路において、1 はドレイン電極を電源に接続し、ゲート電極とソース電極を出力端子 (OUT) とした負荷トランジスタとして動作するデブレッショントラジスト、2 はドレイン電極を出力端子に接続し、ソース電極をグランドに接続したスイッチトランジスタとして動作するエンハンスマント型電界効果トランジスタ、3 はドレイン電極をトランジスタ 2 のゲート電極に接続し、制御入力 ($V_{cl} \sim V_{cn}$) をゲート電極に接続したスイッチとして動作するデブレッショントラジスト、5 は一端をトランジスタ 3 のソース電極に接続し、他端をグランドに接続した容量であり、トランジスタ 3、容量 5 をひとまとめにしたもののが複数個並列接続されている。さらに、4 は一端をトランジスタ 2 のゲート電極に接続し、他端を入力端子 (IN) に接続した抵抗があり、これら 1、2、3、4、5 により本遅延時間可変論理回路は構成される。

【0 0 3 6】次に、本実施例 6 の動作について説明する。トランジスタ 1、2 の動作は前述の実施例と同様である。本実施例 6においては、トランジスタ 3 の制御入力 ($V_{cl} \sim V_{cn}$) に高電位を与えることにより、トランジスタ 3 が導通状態になり、該トランジスタに直列に接続された容量 5 がトランジスタ 2 のゲート入力容量とし付加されることになる。このため、ゲート電極に高電位を与えるトランジスタ 3 の値を変えることにより、トランジスタ 2 のゲート入力容量を変化させることができ、これにより論理回路の遅延時間を変化させることができ。容量 5 の容量値は全部同じにしてもかまわないが、例えば容量の比を 1 : 2 : 4 : 8 等に設定することにより、少ない素子数で広い範囲に遅延時間を変化させることができる。抵抗 4 は本発明の動作には本質的ではないが、この抵抗 4 により前段の論理回路の駆動能力が制限されるので、小さい容量値で大きい遅延時間変化を得得ることが可能になり、集積度の点で有利になる。

【0037】実施例7。次に、この発明の第6の発明の一実施例を図について説明する。図7に示す実施例7の遅延時間可変論理回路において、1、2は実施例5の図5と同じであり、図5では入力端子(IN)がトランジスタ2のゲートに接続し、制御入力(VcO)をゲート電極に接続した可変抵抗として動作するデブレッシュン型電界効果トランジスタ3が、本実施例7では出力端子(OUT)に接続されている点が異なる。本実施例7は、実施例5において入力側に接続されていた可変抵抗が出力側に接続され、論理回路の駆動能力を制限することにより遅延時間を変化させるものである。

【0038】実施例8。次に、この発明の第7の発明の一実施例を図について説明する。図8に示す実施例8の遅延時間可変論理回路において、1、2は実施例6の図6と同じであり、図6では入力端子(IN)がトランジスタ2のゲートに接続し、デブレッシュン型電界効果型ランジスタ3と容量4を直列接続したものを、さらに並列接続した容量スイッチが、本実施例8では出力端子(OUT)に接続されている点が異なる。本実施例8は、実施例6において入力側に接続されていた容量スイッチが出力側に接続され、論理回路の出力荷負容量を増減することにより遅延時間を変化させるものである。

【0039】

【発明の効果】以上のように、この発明にかかる遅延時間可変論理回路によれば、論理回路自体に遅延時間を変化させる機能を持たせることができるので、従来例で見られたようなRamp信号発生回路、コンバレータ回路等の比較的大規模な構成要素が必要ないため、回路規模

が小さくなり、集積度、消費電力の点で有利なものを得ることができる効果が得られる。

【図面の簡単な説明】

【図1】第1の発明の一実施例である実施例1を説明するための回路図。

【図2】第2の発明の一実施例である実施例2を説明するための回路図。

【図3】第2の発明の他の実施例である実施例3を説明するための回路図。

【図4】第3の発明の一実施例である実施例4を説明するための回路図。

【図5】第4の発明の一実施例である実施例5を説明するための回路図。

【図6】第5の発明の一実施例である実施例6を説明するための回路図。

【図7】第6の発明の一実施例である実施例7を説明するための回路図。

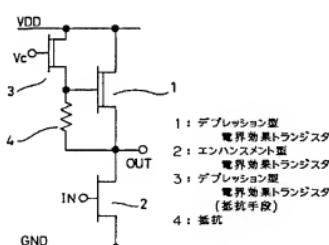
【図8】第7の発明の一実施例である実施例8を説明するための回路図。

【図9】従来例を説明するための回路図。

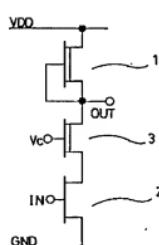
【符号の説明】

- 1 第1のデブレッシュン型電界効果トランジスタ
- 2 第1のエンハンスマント型電界効果トランジスタ
- 3 デブレッシュン型電界効果トランジスタ(抵抗手段)
- 4 抵抗
- 5 容量

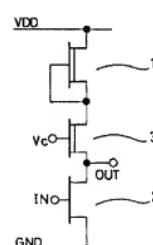
【図1】



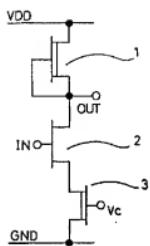
【図2】



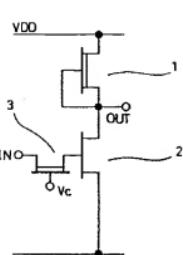
【図3】



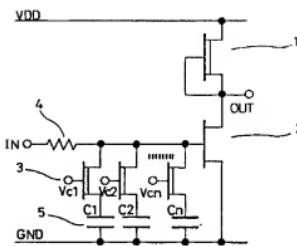
【図 4】



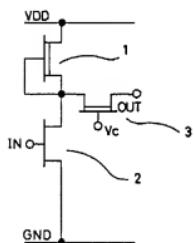
【図 5】



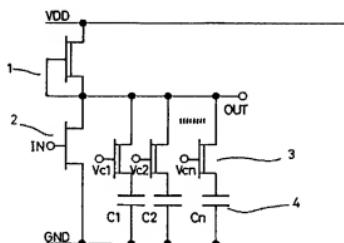
【図 6】



【図 7】



【図 8】



【図 9】

